

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218365

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵
H 01 L 27/12
// H 01 L 21/02

識別記号 庁内整理番号
Z 8728-4M
B 8518-4M

F I

技術表示箇所

審査請求 未請求 請求項の数7(全9頁)

(21)出願番号 特願平4-41942

(22)出願日 平成4年(1992)1月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山方 憲二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

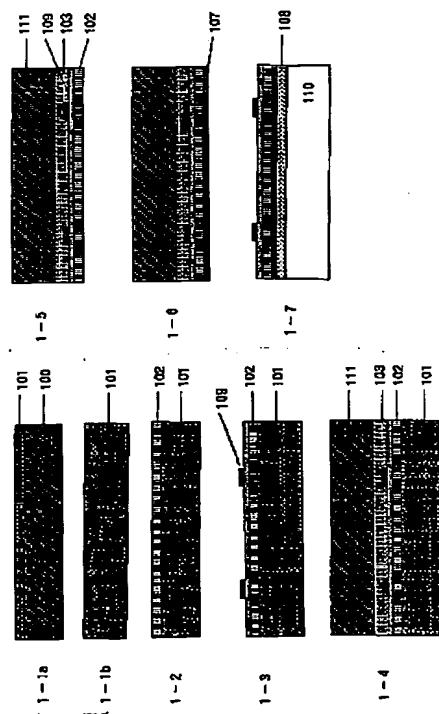
(74)代理人 弁理士 山下 穣平

(54)【発明の名称】 半導体素子の作製方法

(57)【要約】

【目的】 大規模集積回路の作製に適用可能な、透明絶縁性基板上にシリコン単結晶薄膜を貼り合わせ法で形成する高機能性SOI基板の作製方法。

【構成】 シリコン単結晶基板100全体を陽極化成して多孔質シリコン101を形成し、その一表面上にシリコン単結晶薄膜102をエピタキシャル成長して、エピタキシャル層に素子を形成する。素子形成面109を支持基板111とワックス103により貼り合わせて、多孔質シリコン部分を選択的にエッチングする。つぎに、素子が形成されたエピタキシャル層を、SiO₂を主成分とする透明絶縁性基板110と接着剤108により接着したのち、ワックスを加熱軟化させて支持基板と、素子が形成されたエピタキシャル層を分離する。以上の工程によって作製するものである。



(2)

【特許請求の範囲】

【請求項 1】 シリコン単結晶基板の全体を多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記貼り合わせた基板の多孔質シリコン部分を選択的にエッティング除去する工程と、前記素子が形成されたエピタキシャル層を、他の絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項 2】 シリコン単結晶基板の片方の面の表層を多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記シリコン単結晶基板部分を研磨によって除去してから、前記多孔質シリコン部分を選択的にエッティング除去する工程と、前記素子が形成されたエピタキシャル層を他の絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項 3】 前記素子の形成されたエピタキシャル層と前記接着剤との間に、可動イオンの拡散を防止するバリア層を設ける工程を含むことを特徴とする請求項 1 又は 2 に記載の半導体素子の作製方法。

【請求項 4】 前記多孔質シリコン部の選択エッティングは、フッ酸、過酸化水素水、アルコール系の混合エッティング液により行うことを特徴とする請求項 1 又は 2 に記載の半導体素子の作製方法。

【請求項 5】 前記多孔質化する工程が陽極化成である請求項 1 又は 2 に記載の半導体素子の作製方法。

【請求項 6】 前記他の絶縁性基板が SiO_2 を主成分とする透明絶縁性基板であることを特徴とする請求項 1 又は 2 に記載の半導体素子の作成方法。

【請求項 7】 前記素子が形成されたエピタキシャル層を、他の絶縁性基板と、前記接着剤を介さずに貼り合わせることを特徴とする請求項 1 又は 2 に記載の半導体素子の作製方法。

【発明の詳細な説明】

2

【0001】

【産業上の利用分野】 本発明は絶縁基板上の半導体素子の作製方法に関し、更に詳しくは、ガラス等の透光性絶縁物基板上の単結晶半導体層に作成される、高機能、高性能電子デバイス、集積回路などに適する半導体素子の作製方法に関するものである。

【0002】

【従来の技術】 絶縁物基板上の単結晶シリコン半導体層の形成は、Silicon on Insulator (SOI) 技術として広く知られ、通常のシリコン集積回路を作製するバルクのシリコン基板では到達しえない数々の優位点をこの基板が有することから、多くの研究が成されてきた。即ち SOI 技術を利用することで、1. 誘電体分離が容易で高集積化が可能、2. 対放射線耐性に優れている、3. 浮遊容量が低減され高速化が可能、4. ウエル工程が省略できる、5. ラッチアップを防止できる、6. 薄膜化による完全空乏型電界効果トランジスタが可能、等の優位点が得られる。上のようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り SOI 構造の形成方法についてさまざまな研究がされてきている。この内容は、例えば、Special Issue: "Single-crystal silicon on non-single-crystal insulators" ; edited by G. W. Cullen, Journal of Crystal Growth, volume 63, no 3, pp429 ~590(1983). 等の文献にまとめられている。

【0003】多くの SOI 技術の中でシリコン層が単結晶であって、ある程度の集積回路を形成できるレベルまで研究が進められた例としては、古くは単結晶サファイアを基板上にシリコン膜を CVD (化学気相法) でヘテロエピタキシーさせて形成する SOS (Silicon on Sapphire) が知られており、最も成熟した SOI 技術として一応の成功を収めている。しかしこの技術に於いてはシリコン層と下地サファイア基板界面の格子不整合により大量の結晶欠陥が生じたり、サファイア基板からアルミニュームがシリコン層へ混入したり、そして何よりも基板の高価格と大面積化への対応が遅れている、などの理由によりその応用の広がりが妨げられている。

【0004】比較的近年には、サファイア基板を使用せずにシリコン基板をもとにして SOI 構造を実現しようという試みが行なわれている。例えば ZMR、SIMOX、貼り合わせ SOI などである。

【0005】ZMR (Zone Melting Recrystallization) とは SiO_2 膜で被覆された単結晶シリコン基板の一部に開口部を設け、その上に堆積した非晶質或いは多結晶シリコン層に電子線、レーザー光等のエネルギーービームを収束して照射し、開口部の単結晶基板面をシードにした溶融再結晶により単結晶シリコン層を SiO_2 上に成長させるか、又は棒状ヒーターにより帶状に溶融領域を走査するものである。この方法では、比較的大規模な集積回路も試作されてはいるが、依然として亜粒界等の結晶欠陥が多数残留しており、少數のキャリヤーデバイス

(3)

3

を作成するにいたってない。また制御性、生産性等の面で多くの課題を抱えている。

【0006】一方S I M O X (Separation by Ion Implanted Oxygen)とは、シリコン単結晶基板中の酸素のイオン注入により SiO_2 層を形成する方法である。この技術はシリコンプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、 SiO_2 層を形成するためには酸素イオンを $10^{18} \text{ ions/cm}^2$ 以上も注入する必要があるが、その注入時間は長大であり生産性は高いとはいはず、またウエハーコストは高い。更に結晶欠陥は多く残存し、工業的に見て少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【0007】貼り合わせSOIとは、少なくともどちらか片方には SiO_2 等の絶縁膜を有する2枚の基板を鏡面同士で貼り合わせて、熱処理した後に片方の基板を研磨してゆき、絶縁膜上に薄膜を残すというものである。この場合特に問題となるのは研磨の精度であり、通常数百 μm の厚みを有する単結晶基板を、面内均一に数 μm もしくは $1 \mu\text{m}$ 以下まで研磨することは極めて困難である。また貼り合わせる2枚の基板ともシリコン基板であれば良いが、片方がガラス等の異種材料基板である場合には、熱処理を施したときに両者の熱膨張係数の違いにより基板の破壊、剥離等が起こってしまう。

【0008】以上説明したSOI構造は、すべて先に述べたような高性能デバイスの作製を目的に開発された技術であるが、一方では透明絶縁物基板上にシリコン単結晶薄膜を形成し、その上でデバイスを作製することで高性能化に加えてデバイス自体に機能性を持たせようとする試みがなされている。

【0009】ガラスのような透明絶縁性基板上にシリコン単結晶薄膜を形成するためには、前述したようなシリコン基板そのものに依存するSIMOXやZMRでは不可能であり（シードなしのZMRでは不可能ではないが、方位の制御や単結晶性の纖維が困難である）、唯一可能性のあるのは貼り合わせSOIである。しかし貼り合わせSOIにしても前述したように、厚みが数百 μm もある2枚の異種材料基板同士は、互いの熱膨張係数の違いにより貼り合わせるのが極めて困難である。そこで熱膨張係数が違っても熱処理をしなければ問題ないという観点から、シリコン基板上に通常のプロセスで素子を形成した後、シリコン基板の裏面から基板自体を研磨してゆき、素子を形成してある表層のみを残し、この薄膜を透明基板に透明な樹脂性の接着剤を用いて貼り付けるという技術が公表されている（K. Sumiyoshi et. al, 1989 IEDM attended paper: technical digest p165）。

【0010】しかしながらこの方法においては、薄膜化する際に、シリコン酸化膜をストッパーにした選択研磨を用いている。研磨技術は前述したように精度に問題点があり、上記論文中にも記されているがシリコンとシリコン酸化膜との間の研磨速度比は約100倍程度しかな

い。従って膜厚の分布がなく、均一な薄膜を研磨によって作製するのは非常に困難と言える。研磨でなくシリコン基板中の不純物濃度差を利用した選択エッチングに関しても、同様に選択比が十分にはとれない。

【0011】

【発明が解決しようとしている課題】以上述べたように、従来の方法では高性能電子デバイスを作製するに足るSOI基板を生産性よく提供できる技術は、未だ達成するに至っていない。またSOI構造を透明基板上に形成し、基板自体に機能性を持たせたものに関しては、更に技術開発が遅れているなどの問題点があった。

【0012】（発明の目的）本発明は、上述の問題点を解消するために、透明絶縁性基板等の絶縁性基板上に、基板と熱膨張係数の大きく異なるシリコン単結晶薄膜を貼り合わせ法によって形成することで高機能性SOI基板を作製することを可能とし、かつ大規模集積回路を作製する際にも高価なSOSや、SIMOXの代替足り得る高性能半導体基板や、その作製方法も同時に可能とする半導体素子の作製方法を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明の半導体素子の作製方法は、前述した課題を解決するための手段として、シリコン単結晶基板の全体を陽極化成により多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、多孔質シリコン部分を選択的にエッチングする工程と、前記素子が形成されたエピタキシャル層を SiO_2 を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んでいる。

【0014】また、本発明の半導体素子の作製方法は、シリコン単結晶基板の片方の面の表層を陽極化成により多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記シリコン単結晶基板部分を研磨によって除去してから多孔質シリコン部分を選択的にエッチングする工程と、前記素子が形成されたエピタキシャル層を SiO_2 を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んで、その手段とするものである。

【0015】また、本発明の半導体素子の作製方法は、前記素子の形成されたエピタキシャル層と前記接着剤の

(4)

5

間に、可動イオンの拡散を防止するバリア層を設ける工程を含んでいる。

【0016】また、本発明の半導体素子の作製方法は、前記多孔質シリコン部の選択エッチングは、フッ酸、過酸化水素水、アルコール系の混合エッチング液により行う。

【0017】

【作用】本発明は、多孔質シリコンが有する二つの重要な物理的特性を利用するものである。その一つは、多孔質シリコンのエッチング特性である。通常、シリコンはフッ酸では殆どエッチングされないが、多孔質化することによってエッチングが可能となる。しかも図4に示すようにフッ酸、過酸化水素水、アルコールの混合エッチング液を用いると、非多孔質と多孔質では約10の5乗倍ものエッチング速度比が得られる。従って1μm前後の薄膜でも均一に制御性よく選択エッチングが可能になる。

【0018】もう一つの特性は、エピタキシャル成長特性である。多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十～数百オングストロームの孔が高密度に存在するものである。この表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層と同等の結晶性が得られるという特性を有する。従って活性層として信頼性の高い単結晶シリコン基板上のエピタキシャル層と同等の単結晶薄膜を用いるので、従来のSOI基板に比べて優れた結晶性を有するSOI基板が提供できる。

【0019】本発明によれば、多孔質シリコン上にエピタキシャル成長した単結晶層に素子を形成し、素子形成された単結晶層をワックス等によって一担支持基板に保持させ、多孔質部分を選択エッチングして素子形成された単結晶層を単独の薄膜(membrane)とし、これを接着剤を用いて透明絶縁性基板と接着し、ワックス等と共に支持基板を分離するという方法によって、透明基板上に高性能かつ高機能性の電子デバイスを容易に作製できるようになる。

【0020】また、エピタキシャル成長層は膜厚分布の制御が容易であるため、この成長層をそのまま使用したSOI層の膜厚分布も極めて均一なものが得られる。

【0021】また、多孔質シリコンと非多孔質シリコンにおけるエッチング速度比が極めて大きいため、従来の選択研磨や不純物濃度差を利用した選択エッチングによる除去に比べて、飛躍的にエッチングの制御性が向上する。

【0022】また熱膨張係数の違いにより実現が極めて困難であった、透明絶縁性基板上のシリコン単結晶薄膜デバイスを、容易に作製できるようになる。

【0023】また、素子が形成されたエピタキシャル層と接着剤との間に、可動イオンの拡散を防止するバリア層を設けることにより、透明絶縁性基板を接着する接着

(4)

6

剤からの可動イオンによる、エピタキシャル層の素子形成層への悪影響を防止することができる。

【0024】(実施態様例)以下、本発明の実施態様例について図面を参照して説明する。

【0025】図1は、本発明の半導体素子の作製方法の工程の流れを説明する模式的断面図である。

【0026】まず、(図1-1)のように単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する。このとき多孔質化する領域は、図1-1aのように基板の片側表面層のみでも、図1-1bのように基板全体でもかまわない。片側表面層のみを多孔質化する場合には、その領域は10～100μmの厚みでよい。

【0027】なお、ここで多孔質シリコンの形成方法について簡単に、図2のシリコン基板を多孔質化する装置説明図を用いて説明する。

【0028】まず基板としてP型の単結晶シリコン基板200を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定される。基板200を図2-1に示すような装置にセッティングする。即ち基板の片側がフッ酸系の溶液204に接していて、溶液側に負の電極206がとられており、逆側は正の金属電極205に接している。

【0029】また、図2-2は他の構成例の装置を示す図であり、図に示すように、正電極側205'も溶液204'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。

【0030】フッ酸系溶液204としては、一般的には濃フッ酸(49%HF)を用いる。純水(H₂O)で希釈していくと、流す電流値にもよるが、ある濃度がらエッチングが起こってしまうので好ましくない。

【0031】また陽極化成中に基板200の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加える場合がある。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに搅はん器を用いて、溶液を搅はしながら陽極化成を行ってもよい。

【0032】負電極206に関しては、フッ酸溶液に対して侵食されないような材料、例えば金(Au)、白金(Pt)等が用いられる。

【0033】正側の電極205の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板200すべてになされた時点で、フッ酸系溶液204が正電極205に達するので、正電極205の表面にも耐フッ酸溶液性の金属膜をコーティングしておくとよい。

【0034】陽極化成を行う電流値は、最大数百mA/cm²であり、最小値は零でなければならない。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きい

(5)

7

と陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0035】次に(図1-2)に示す工程において、以上のようにして形成した多孔質シリコン基板、もしくは多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長する。

【0036】多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十～数百オングストロームの孔が高密度に存在する。表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層と同等の信頼性の高い結晶性が得られる特性を有するものであり、エピタキシャル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行われる。成長する膜厚はSOI層の設計値と同じくすれば良いが、好ましくは1μm以下の膜厚が良い。これは1μm以上の膜厚の単結晶シリコンだと可視光が透過しなくなってしまうからである。但しSOI基板作製後に素子形成領域以外の部分をエッティングする場合や、光透過性を重視しないデバイスの場合には膜厚は特に制限されるものではない。

【0037】次に(図1-3)に示す工程において、エピタキシャル層102に通常のデバイスプロセスで素子109を形成する。素子の種類、形態等にはなんら制限はない。

【0038】次に(図1-4)に示す工程において、上記基板を適当な温度に加熱しながら、素子形成面109にワックスや熱可塑性樹脂103を塗布し、支持基板111を接着する。

【0039】ワックスは室温で固化していく、100℃前後に加熱すると軟化するものを用いるといい。熱可塑性樹脂は液状で塗布し、ウエハー上で重合するものでも良いが、シート状になっているものも便利である。またこれらはアセトン、トルエン等の有機溶剤に溶解するものが好ましい。例えばワックスではエレクトロン・ワックス他、樹脂材料ではフェノール系、メラミン系、ポリフッ化エチレン系などが高軟化点材料として挙げられ、塩化ビニル・酢酸ビニル混合系、ポリスチロール系などが低軟化点材料として挙げられる。支持基板111に関しては形状、大きさ(厚み)、材料など、任意のものでかまわない。例えばシリコン(単結晶でも多結晶でもかまわない)を支持基板材料に用いれば、1つの支持基板を半永久的に使用することが可能である。

【0040】次に(図1-5)に示す工程において、上記支持基板111と素子形成層を残して、多孔質シリコン側を選択的にエッティングする。この場合、多孔質シリコンの特徴として、通常シリコンはフッ酸では殆どエッティングされないが、多孔質化することによってエッティングが可能となることがあげられる。

8

【0041】しかも、図4の多孔質シリコンと非多孔質シリコンのエッティング速度比を示すグラフに示すように、フッ酸、過酸化水素水、アルコールの混合エッティング液を用いると、非多孔質と多孔質シリコンでは10の5乗倍ものエッティング速度比が得られる。従って単結晶層が1μm前後の薄層でも均一に制御性よく選択エッティングが可能になる。

【0042】このときエッティングされる部分が全体にわたって多孔質である場合には、接着した基板ごとフッ酸系溶液中に浸しておけば、多孔質部分101は全て選択的にエッティングされる。エッティングされる部分に単結晶シリコン基板100のままの領域を含む場合には、シリコン基板100の領域のみを研磨して除去するのが好ましい。そして多孔質部分101が露出した時点で研磨を終了し、後はフッ酸系溶液中で選択エッティングを行える。いずれの場合にせよ多孔質でない単結晶のエピタキシャル成長部分102は殆どフッ酸と反応しないので薄膜として残る。

【0043】また当然のことながら、支持基板111は、フッ酸系溶液に反応しにくい材料を用いることが好ましい。このときフッ酸系溶液というのは、フッ酸のほかに過酸化水素水(H₂O₂)やアルコール類を混合したものが用いられる。フッ酸と硝酸、もしくはこれに酢酸を加えた混合溶液でも多孔質シリコンの選択エッティングは可能だが、この場合残されるべき単結晶シリコン薄膜も多少エッティングされるので、精密に時間等の制御をする必要がある。

【0044】次に(図1-6)に示す工程において、次に素子形成層と透明基板を接着剤を用いて接着するのだが、この際接着剤からの可動イオノンが素子形成層に悪影響を及ぼす場合がある。そこで素子形成層の裏面が露出した際に、シリコン窒化膜等のバリア層107を素子形成層の裏面に堆積しておくと良い。シリコン窒化膜は通常LPCVDやプラズマCVD等で堆積するが、支持基板と接着しているワックスや熱可塑性樹脂が耐えられる温度である必要があるので、プラズマCVDで100～300℃の範囲で堆積するのが好ましい。またバリア層107の膜厚さは、光透過率を考慮するならば、薄い方が好ましい。バリア層107は必ずしも必須ではなく、素子に悪影響を及ぼす不純物の含有量が少ない場合には省略も可能である。

【0045】次に(図1-7)に示す工程において、固化した際に光透過性となる接着剤108を用いて、露出した素子形成面109の裏面、或いは該面上に形成されたバリア層107面をSiO₂を主成分とする透明絶縁性基板110と密着させる。透明絶縁性基板110は溶融石英、合成石英、ガラス、合成樹脂等の中から選ばれる。接着剤108はなるべく可動イオンの含有量が少ない樹脂系接着剤が好ましい。

【0046】密着した後に基板全体を加熱し、ワックス

(6)

9

又は熱可塑性樹脂103を軟化させて支持基板111を分離する。支持基板111を分離した後、素子形成面109に残されたワックス等の残渣をアセトン、ジクロロメタン、トルエン等の有機溶剤で十分に洗浄し、もしくは洗浄のみで完全に取りきれない場合にはプラズマアシシング等を行い、透明絶縁性基板上のSOI構造の素子を得る。

【0047】本発明では素子形成層102を接着剤108で透明基板110に接着しているが、接着剤を用いなくとも基板と素子形成層を接着することは不可能ではない。つまり素子形成層102の裏面（素子を形成していない側）と透明絶縁性基板110の界面は、単に密着させただけであっても特に外部応力を加えない限り通常のシリコン基板と同様な取り扱いが可能である。これは基板110と薄膜102の界面における水素結合のためである。水素結合は分子間結合であるので、界面の密着性が高い程、即ち基板と薄膜の平坦性が高い程強くなる。従って基板と薄膜の密着性を高めるために、基板の上から重石等で均一な圧力をかけるのも有効な手段である。

【0048】また水素結合は、密着する界面の水素原子（-H）と酸素原子（-O-）間の引力であるので、素子形成層102と透明絶縁性基板110を密着させる前の洗浄の最終工程で水素結合が行い易くなるように表面処理を施すことによって、かなり結合力を高めることができる。但し水素結合はそれほど強い結合ではないので、応力を加えると素子形成層がすぐ剥離してしまう。そこで水素結合で密着しているものを熱処理して、結合力を強めることも考えられる。

【0049】一般的に熱処理の温度が高ければ高いほど、界面の結合力が強まる。これは約200°C以上になると、水素結合していた水素と酸素の両原子がH₂Oの形で脱水し、そのあとに縮合したシラノール結合（Si-O-Si）を形成するためである。しかしながら本発明の工程では、最初に素子が形成されてしまうので、最後に400°C以上の熱処理を施すのは素子の破壊を招き困難となる。従って300°C前後までの熱処理が許されることになる。300°C程度の熱処理だと水素結合より若干結合力が増した程度なので、やはり接着剤を用いない場合には外部応力がかからないような使用方法に制限される。

【0050】

【実施例1】（実施例1）つぎに図1及び図2を用いて本発明の具体的な第1実施例の詳細を図の工程順に説明する。

【0051】（図1-1）に示す工程において、200ミクロンの厚みを持った4インチP型（100）単結晶シリコン基板（0.1~0.2Ωcm）100を用意し、これを図2-1に示すような装置にセットして陽極化成を行ない、図1-1bのような多孔質シリコン101を得た。この時の溶液204は49%HF溶液を用

(6)

10

い、電流密度は100mA/cm²であった。そしてこの時の多孔質化速度は8.4μm/min.であり、200μmの厚みを持ったP型（100）シリコン基板は24分で全体が多孔質化された。

【0052】次に（図1-2）に示す工程において、P型（100）多孔質シリコン基板101上にCVD法により、単結晶シリコン層102を0.5μmエピタキシャル成長した。堆積条件は以下のとおりである。

【0053】

10 使用ガス：SiH₄/H₂

ガス流量：0.62/140 (1/min)

温度：750°C

圧力：80 Torr

成長速度：0.12μm/min.

次に（図1-3）に示す工程において、エピタキシャル層に液晶表示装置用のスイッチングトランジスタと、その周辺に画素の駆動用回路を通常の半導体プロセスを用いて形成した。

【0054】

20 次に（図1-4）に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、エレクトロンワックス103を素子形成面109上に塗り、4インチのシリコン支持基板111を素子形成面109に貼り合わせた。

【0055】次に（図1-5）に示す工程において、上記貼り合わせ基板を選択エッティング溶液中に浸し、多孔質部分101のみを選択的にエッティングした。このときエッティング溶液の組成と多孔質シリコンに対するエッティング速度は、

HF : H₂O₂ : C₂H₅OH = 5 : 25 : 6

30 1.6μm/min.であった。従って200μmの多孔質部分は、約125分間で全てエッティングされた。ちなみにこのときの単結晶シリコン層102のエッティング速度は0.0006μm/hourであり、殆どエッティングされずに残った。

【0056】次に（図1-7）に示す工程において、上記工程により得られた試料を、塩酸/過酸化水素水/水（1:1:5）混合溶液で10分間洗浄し、さらに純水でリーンして乾燥させた後、同等の洗浄を行った4インチのガラス基板（厚み400μm）110と、単結晶シリコン層102とをポリイミド系樹脂接着剤108を用いて接着した。接着した基板をホットプレート上で約150°Cに加熱し、ワックス103が軟化したところで支持基板111を取り除いた。

【0057】そして素子形成面109の表面に残留しているワックスを完全に除去するために、上記基板をトルエンで洗浄し、透明絶縁性基板上の単結晶シリコン薄膜に素子が形成されたSOI基板を得た。

【0058】更に、出来上がった回路上に液晶を封入し、パッケージングして光透過型の液晶表示装置を作製した。

50

(7)

11

【0059】(実施例2) 図3は、本発明の第2の実施例による半導体素子の作製法の工程の流れを示す模式的断面図である。図3を用いて本発明の具体的な第2実施例の詳細を図の工程順に説明する。

【0060】(図3-1)に示す工程において、 $300\mu\text{m}$ の厚みを持った抵抗率 $0.01\Omega\cdot\text{cm}$ のP型(100)シリコン基板300を用意し、その表面に第1実施例と同様にして多孔質層301を $30\mu\text{m}$ の厚みに形成した。

【0061】次に(図3-2)に示す工程において、得られた基板の多孔質側の表面に第1実施例と同様にしてエピタキシャル層302を $0.5\mu\text{m}$ の厚みに形成した。

【0062】次に(図3-3)に示す工程において、次に第1実施例と同様の素子及び電子回路をエピタキシャル層302に形成した。

【0063】次に(図3-4)に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、エレクトロンワックス303を素子形成面309上に塗り、4インチのシリコン支持基板311を素子形成面309に貼り合わせた。

【0064】次に(図3-5)に示す工程において、単結晶基板300側を機械的研磨法により約 $280\mu\text{m}$ 研磨し、多孔質領域301を露出させた。続いてこの基板を第1実施例と同様のフッ酸系エッティング液に浸し、多孔質領域301のみを選択的にエッティングした。

【0065】次に(図3-6)に示す工程において、後は第1実施例と全く同様にして、透明基板上に液晶表示装置を作製した。

【0066】(実施例3)再び図1を用いて本発明の具体的な第3実施例の詳細を図の工程順に説明する。

【0067】図1-1から1-3までは、第1実施例と同じ工程とした。

【0068】次に(図1-4)に示す工程において、素子が形成された基板をホットプレート上で加熱しながら、シート状のフェノール系樹脂103を素子形成面109上に貼り、更に4インチのシリコン支持基板111を貼り合わせた。

【0069】次に(図1-5)に示す工程において、上記貼り合わせ基板を選択エッティング溶液中に浸し、多孔質部分101のみを選択的にエッティングした。

【0070】次に(図1-6)に示す工程において、多孔質シリコン101がエッティングされたことによって露出した素子形成面109の裏面に、プラズマCVDによってシリコン窒化膜107を $0.05\mu\text{m}$ 堆積した。堆積温度は 220°C で行った。

【0071】次に(図1-7)に示す工程において、上記工程により得られた試料を4インチの溶融石英基板110とシリコン窒化膜107面とをポリイミド樹脂系接着剤108を用いて接着した。接着した基板を 350°C

(7)

12

に加熱しながら、素子形成面109から支持基板111を取り除いた。

【0072】そして素子形成面109に残ったフェノール系樹脂103をジクロロメタン中で洗浄し、更に残ったフェノール樹脂は酸素プラズマでアッシングし、透明絶縁性基板上の単結晶シリコン薄膜に素子が形成されたものを得た。

【0073】更に出来上がった回路上に液晶を封入し、パッケージングして光透過基板型の液晶表示装置を作製した。

【0074】また上述した各実施例においては、光透過性絶縁基板を用いたが、光透過性の基板に限ることはないことは明らかである。

【0075】

【発明の効果】以上詳述したように、多孔質シリコン上にエピタキシャル成長した単結晶層に素子を形成し、素子形成された単結晶層をワックス等によって一担支持基板に保持させ、多孔質部分を選択エッティングして素子形成された単結晶層を単独の薄膜(membrane)とし、これを接着剤を用いて透明絶縁性基板と接着し、ワックス等と共に支持基板を分離するという方法によって、透明基板上に高性能かつ高機能性の電子デバイスを容易に作製できるようになった。

【0076】本発明の主たる効果は、エピタキシャル成長層は膜厚分布の制御が容易であるため、この成長層をそのまま使用したSOI層の膜厚分布も極めて均一であることと、多孔質シリコンと非多孔質シリコンにおけるエッティング速度比が極めて大きいため、従来の選択研磨の選択エッティングに比べて、飛躍的にエッティングの制御性が向上し、従つて生産性が向上したこと、そして従来から熱膨張係数の大きな違いにより実現が極めて困難であった、透明絶縁性基板上のシリコン単結晶薄膜デバイスを、容易に作製できるようにしたことである。

【0077】また本方法によって得られたSOI基板は光透過性であるので、この性質を利用した機能性デバイスを設計することが可能であるし、またSOI構造の大規模集積回路を作製する目的に対しても、高価なSOSや、SIMOXの代替足り得る半導体基板を提供することができるようになった。

【図面の簡単な説明】

【図1】本発明の第1、第3実施例による半導体素子の作製方法の工程を説明するための模式的断面図である。

【図2】シリコン基板を多孔質する際の装置説明図である。

【図3】本発明の第2実施例による半導体素子の作製方法の工程を説明するための模式的断面図である。

【図4】多孔質シリコンと非多孔質シリコンのエッティング速度比を示す図である。

【符号の説明】

100, 200, 300 単結晶シリコン基板

(8)

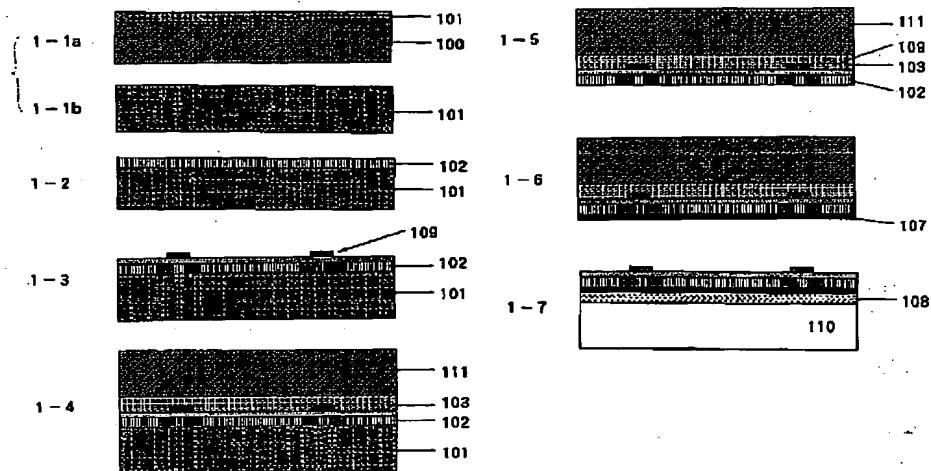
13

101, 301 多孔質化したシリコン基板、又は多孔質層
 102, 302 エピタキシャル成長層
 103, 303 ワックス又は熱可塑性樹脂
 107 バリア層
 108, 308 接着剤

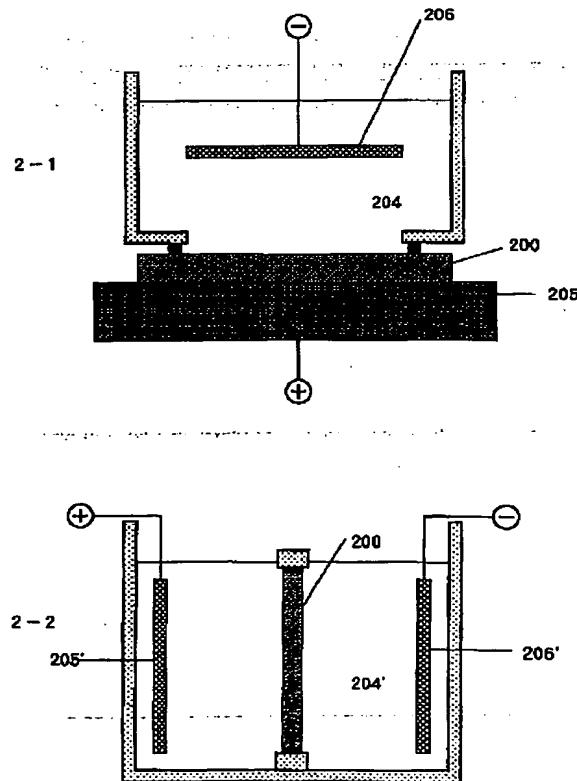
14

109, 309 素子、又は素子形成面
 110, 310 透明絶縁性基板
 111, 311 支持基板
 204, 204' エッチング液
 205, 205' 正電極
 206, 206' 負電極

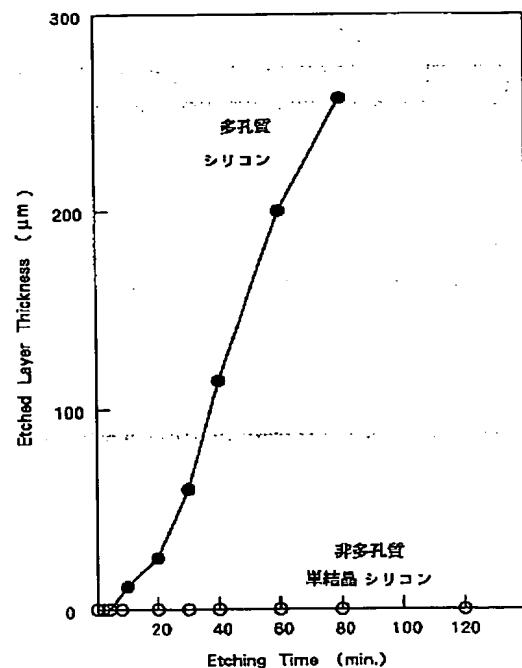
【図1】



【図2】

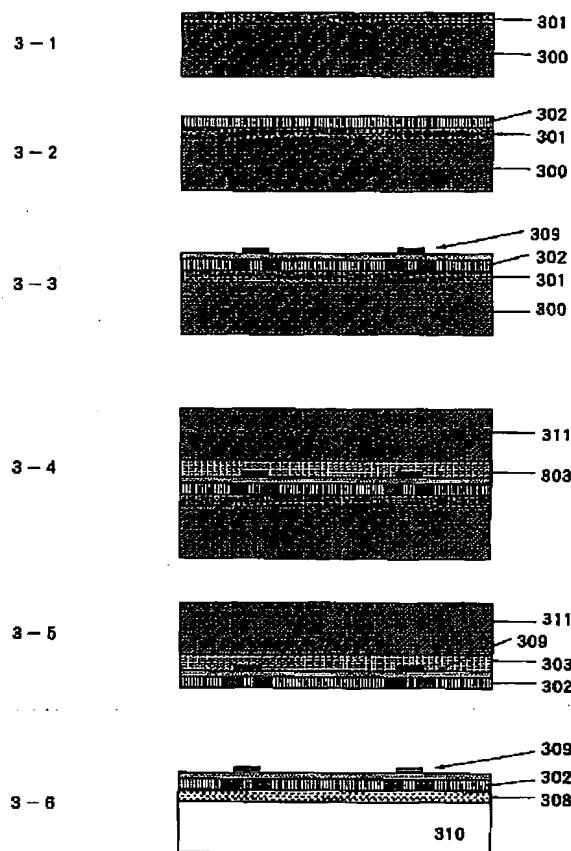


【図4】



(9)

【図3】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成11年(1999)7月30日

【公開番号】特開平5-218365

【公開日】平成5年(1993)8月27日

【年通号数】公開特許公報5-2184

【出願番号】特願平4-41942

【国際特許分類第6版】

H01L 27/12

// H01L 21/02

【F I】

H01L 27/12	Z
21/02	B

【手続補正書】

【提出日】平成10年7月16日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体素子の作製方法及び貼り合わせ基板

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】シリコン単結晶基板の全体を多孔質化する工程と、

該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、

該エピタキシャル層に素子を形成する工程と、

該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、

前記貼り合わせた基板の多孔質シリコン部分を除去する工程と、

前記素子が形成されたエピタキシャル層を、他の絶縁性基板と接着剤で貼り合わせる工程と、

前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項2】シリコン単結晶基板の片方の面の表層を多孔質化する工程と、

該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、

該エピタキシャル層に素子を形成する工程と、該素子形

成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、

前記シリコン単結晶基板部分を研磨によって除去してから、前記多孔質シリコン部分を除去する工程と、

前記素子が形成されたエピタキシャル層を他の絶縁性基板と接着剤で貼り合わせる工程と、

前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項3】前記素子の形成されたエピタキシャル層と前記接着剤との間に、可動イオンの拡散を防止するバリア層を設ける工程を含むことを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【請求項4】前記多孔質シリコン部の除去は、フッ酸、過酸化水素水、アルコール系の混合エッチング液により行うことを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【請求項5】前記多孔質化する工程が陽極化成である請求項1又は2に記載の半導体素子の作製方法。

【請求項6】前記他の絶縁性基板がSiO₂を主成分とする透明絶縁性基板であることを特徴とする請求項1又は2に記載の半導体素子の作成方法。

【請求項7】前記素子が形成されたエピタキシャル層を、他の絶縁性基板と、前記接着剤を介さずに貼り合わせることを特徴とする請求項1又は2に記載の半導体素子の作製方法。

【請求項8】シリコン単結晶基板上に多孔質シリコン層を介してシリコン単結晶薄膜を有する基板を用意する工程と、

該シリコン単結晶薄膜に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、

前記多孔質シリコン層を除去する工程と、

(2)

3

前記素子が形成されたシリコン単結晶薄膜を他の絶縁性基板と接着剤で貼り合わせる工程と、

前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたシリコン単結晶薄膜を分離する工程と、を含むことを特徴とする半導体素子の作製方法。

【請求項9】前記素子の形成されたシリコン単結晶薄膜と前記接着剤との間に、可動イオンの拡散を防止するバリア層を設ける工程を含むことを特徴とする請求項8に記載の半導体素子の作製方法。

【請求項10】前記他の絶縁性基板が SiO_2 を主成分とする透明絶縁性基板であることを特徴とする請求項8に記載の半導体素子の作製方法。

【請求項11】前記素子が形成されたシリコン単結晶薄膜を、他の絶縁性基板と、前記接着剤を介さずに貼り合わせることを特徴とする請求項8に記載の半導体素子の作製方法。

【請求項12】多孔質シリコン層上にシリコン単結晶薄膜を有する基板を用意し、該シリコン単結晶薄膜に素子を形成し、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせたことを特徴とする貼り合わせ基板。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正内容】

【0001】

【産業上の利用分野】本発明は、絶縁基板上の半導体素子の作製方法に関し、更に詳しくは、ガラス等の透光性絶縁物基板上の単結晶半導体層に作成される、高機能、高性能電子デバイス、集積回路などに適する半導体素子の作製方法及び貼り合わせ基板に関するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】

【課題を解決するための手段】本発明の半導体素子の作製方法は、前述した課題を解決するための手段として、シリコン単結晶基板の全体を陽極化成により多孔質化する工程と、該多孔質化した一表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、多孔質シリコン部分を除去する工程と、前記素子が形成されたエピタキシャル層を SiO_2 を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させること

(2)

4

により前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んでいる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】また、本発明の半導体素子の作製方法は、シリコン単結晶基板の片方の面の表層を陽極化成により多孔質化する工程と、該多孔質化した表面上にシリコン単結晶薄膜をエピタキシャル成長する工程と、該エピタキシャル層に素子を形成する工程と、該素子形成面を任意の支持基板とワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記シリコン単結晶基板部分を研磨によって除去してから多孔質シリコン部分を除去する工程と、前記素子が形成されたエピタキシャル層を SiO_2 を主成分とする透明絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を融解又は軟化させることにより前記支持基板と前記素子が形成されたエピタキシャル層を分離する工程を含んで、その手段とするものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】また、本発明の半導体素子の作製方法は、前記多孔質シリコン部の除去は、フッ酸、過酸化水素、アルコール系の混合エッチング液により行い、更にまた、本発明の半導体素子の作製方法は、シリコン単結晶基板上に多孔質シリコン層を介してシリコン単結晶薄膜を有する基板を用意する工程と、該シリコン単結晶薄膜に素子を形成する工程と、該素子形成面を任意の支持基板と、ワックス又は熱可塑性樹脂を介して貼り合わせる工程と、前記多孔質シリコン層を除去する工程と、前記素子が形成されたシリコン単結晶薄膜を他の絶縁性基板と接着剤で貼り合わせる工程と、前記ワックス又は熱可塑性樹脂を、融解又は軟化させることにより前記支持基板と前記素子が形成されたシリコン単結晶薄膜を分離する工程と、を含むことを特徴とし、また、前記素子の形成されたシリコン単結晶薄膜と前記接着剤との間に、可動イオンの拡散を防止するバリア層を設ける工程を含むことを特徴とする半導体素子の作製方法でもあり、また、前記他の絶縁性基板が SiO_2 を主成分とする透明絶縁性基板であることを特徴とする半導体素子の作製方法でもあり、また、前記素子が形成されたシリコン単結晶薄膜を、他の絶縁性基板と、前記接着剤を介さずに貼り合わせることを特徴とする半導体素子の作製方法でもあり、また、本発明は、多孔質シリコン層上にシリコン単結晶薄膜を有する基板を用意し、該シリコン単結晶薄

(3)

5

膜に素子を形成し、該素子形成面を任意の支持基板と、
ワックス又は熱可塑性樹脂を介して貼り合わせたことを

6

特徴とする貼り合わせ基板である。

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218365

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01L 27/12
// H01L 21/02

(21)Application number : 04-041942

(71)Applicant : CANON INC

(22)Date of filing : 31.01.1992

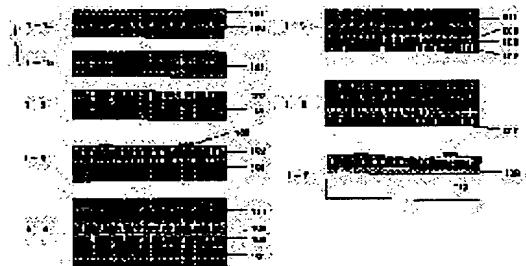
(72)Inventor : YAMAGATA KENJI

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To provide a method of manufacturing a high performance SOI substrate which may be applied for manufacture of a large scale integrated circuit to form a silicon single crystal thin film on a transparent insulating substrate with a sticking method.

CONSTITUTION: A porous silicon 101 is formed by anodizing the entire part of a silicon single crystal substrate 100 and elements are formed on an epitaxial layer by epitaxially growing a silicon single crystal thin film 102 on the one surface thereof. An element forming surface 109 is stuck to a supporting substrate 111 with wax to selectively etch the porous silicon 101. Next, after an epitaxial layer forming elements is bonded with a transparent insulating substrate 110 mainly consisting of SiO₂ using a bonding agent 108, the wax 103 is heated and softened to separate the supporting substrate 111 from the epitaxial layer forming elements.



LEGAL STATUS

[Date of request for examination] 16.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3194612

[Date of registration] 01.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The process which porosity-izes the whole silicon single crystal substrate, and the process which grows a silicon single crystal thin film epitaxially on this porosity-ized front face, The process which forms a component in this epitaxial layer, and this component forming face The support substrate of arbitration, The process stuck through a wax or thermoplastics, and the process which carries out etching removal of the porosity silicon part of said stuck substrate alternatively, The process which sticks the epitaxial layer in which said component was formed with other insulating substrates and adhesives, The production approach of the semiconductor device characterized by including the process which separates the epitaxial layer in which said support substrate and said component were formed by dissolving or softening said wax or thermoplastics.

[Claim 2] The process which porosity-izes the surface of the field of one of the two of a silicon single crystal substrate, and the process which grows a silicon single crystal thin film epitaxially on this porosity-ized front face, The process which forms a component in this epitaxial layer, and this component forming face The support substrate of arbitration, The process stuck through a wax or thermoplastics, and the process which carries out etching removal of said porosity silicon part alternatively after polish removes said silicon single crystal substrate part, The process which sticks the epitaxial layer in which said component was formed with other insulating substrates and adhesives, The production approach of the semiconductor device characterized by including the process which separates the epitaxial layer in which said support substrate and said component were formed by dissolving or softening said wax or thermoplastics.

[Claim 3] The production approach of the semiconductor device according to claim 1 or 2 characterized by including the process which prepares the barrier layer which prevents diffusion of movable ion between the epitaxial layer in which said component was formed, and said adhesives.

[Claim 4] The selective etching of said porosity silicon section is the production approach of the semiconductor device according to claim 1 or 2 characterized by carrying out with fluoric acid, hydrogen peroxide solution, and the mixed etching reagent of an alcoholic system.

[Claim 5] The production approach of a semiconductor device according to claim 1 or 2 that said porosity-ized process is anodization.

[Claim 6] An insulating substrate besides the above is SiO₂. The creation approach of the semiconductor device according to claim 1 or 2 characterized by being the transparency insulation substrate used as a principal component.

[Claim 7] The production approach of the semiconductor device according to claim 1 or 2 characterized by sticking without minding other insulating substrates and said adhesives for the epitaxial layer in which said component was formed.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the production approach of a semiconductor device created by the single crystal half conductor layer on translucency insulating material substrates, such as glass, of being suitable for high efficiency, a high performance electron device, an integrated circuit, etc., in more detail about the production approach of the semiconductor device on an insulating substrate.

[0002]

[Description of the Prior Art] Formation of the single-crystal-silicon semi-conductor layer on an insulating material substrate was widely known as a Silicon on Insulator (SOI) technique, and by the silicon substrate of the bulk which produces the usual silicon integrated circuit, since this substrate has many dominance points which cannot reach, many researches have accomplished it. that is, 3. stray capacity which 1. dielectric separation is easy for, and is excellent in the possibility of high integration and 2. opposite radiation resistance using a SOI technique decreases -- having -- the possibility of improvement in the speed, and 4. -- a well -- the possibility of the perfect depletion mold field-effect transistor by the formation of 6. thin film which can prevent 5. latch rise which can skip a process, and the dominance point of ** are acquired. In order to realize many advantages on the above device properties, various researches have been done about the formation approach of SOI structure over the past dozens of years. These contents are summarized in reference, such as Special Issue: "Single-crystal silicon on non-single-crystal insulators"; edited by G.W.Cullen, Journal of Crystal Growth, volume 63, no 3, pp429 – 590(1983).

[0003] It is SOS (Silicon on Sapphire) which is made to carry out hetero epitaxy of the silicon film by CVD (chemistry gaseous-phase method), and forms single crystal sapphire on a substrate in ancient times as an example to which research was advanced to the level which a silicon layer is a single crystal in many SOI techniques, and can form a certain amount of integrated circuit. It is known and a success temporary as a SOI technique which matured most is stored. However, in this technique, a lot of crystal defects arise by the grid mismatching of a silicon layer and a substrate silicon-on-sapphire interface, or aluminum mixes from silicon on sapphire to a silicon layer, and the breadth of that application is barred by the reasons of the expensive rank of a substrate and the correspondence to large-area-izing being behind what.

[0004] The attempt in which SOI structure will be realized based on a silicon substrate, without using silicon on sapphire is performed comparatively at recent years. For example, they are ZMR, SIMOX, lamination SOI, etc.

[0005] ZMR (Zone Melting Recrystallization) is SiO₂. It is a single-crystal-silicon layer by the melting recrystallization which prepared opening in a part of single crystal silicon substrate covered with the film, it was completed, irradiated energy beams, such as an electron ray and laser light, at the amorphous substance or polycrystalline silicon layer deposited on it, and made the single crystal substrate side of opening seed SiO₂ It is made to grow up upwards or a melting field is scanned to band-like at a cylindrical heater. Although the comparatively large-scale integrated circuit is also made as an experiment by this approach, there is nothing very much for many crystal defects, such as a subgrain boundary, to still remain, and create a small number of carrier-device. Moreover, many technical problems are held in respect of a controllability, productivity, etc.

[0006] On the other hand, SIMOX (Separation by Ion Implanted Oxygen) is SiO₂ by the ion implantation of the oxygen in a silicon single crystal substrate. It is the approach of forming a layer. Since this technique has a silicon process and good adjustment, it is current but the technique of having matured. However, SiO₂ It is oxygen ion in order to form a layer 10¹⁸ ions/cm² Although it is necessary to also pour in the above, the impregnation time amount is huge, it cannot say that productivity is high and wafer cost is high. Furthermore, many crystal defects remain and have not resulted in sufficient quality which sees industrially and can produce a minority carrier device.

[0007] lamination SOI -- at least -- either -- one of the two -- SiO₂ etc. -- after sticking two substrates which have an insulator layer and heat-treating them in mirror planes, substrate of one of the two is ground, and it leaves a thin film on an insulator layer In this case, the precision of polish poses especially a problem and it is very difficult to grind the single crystal substrate which usually has the thickness of hundreds of micrometers to several micrometers or 1 micrometer or less to the homogeneity within a field. Moreover, when one of the two is dissimilar-material substrates, such as glass, and heat-treating, destruction of a substrate, exfoliation, etc. will take place [although both the substrates to stick should just be silicon substrates,] by the difference in both coefficient of thermal expansion.

[0008] Although all the SOI structures explained above are the techniques developed for the purpose of production of a high performance device which was described previously, on the other hand, a silicon single crystal thin film is formed on a transparency insulating material substrate, and the attempt which is going to give functionality to the device itself by producing a device on it in addition to high-performance-izing is made.

[0009] In order to form a silicon single crystal thin film on a transparency insulation substrate like glass, in SIMOX and ZMR depending on the silicon substrate itself which was mentioned above, it is impossible (although it is not impossible in ZMR without seed, control of bearing and the fiber of single crystal nature are difficult), and it is lamination SOI that there is only possibility. However, even if it made it lamination SOI, as it mentioned above, some two dissimilar-material substrates are very difficult for thickness to stick by the difference in a coefficient of thermal expansion also with hundreds of mutual micrometers. Then, from a viewpoint of being satisfactory, if it does not heat-treat even if a coefficient of thermal expansion is different, after forming a component in the usual process on a silicon substrate, the substrate itself is ground from the rear face of a silicon substrate, it leaves only the surface which has formed the component, and the technique of sticking this thin film on a transparency substrate using the adhesives of transparent resin is released (KSumiyoshi et.al, 1989 IEDM attended paper:technical digest p165).

[0010] However, in this approach, in case it thin-film-izes, the selection polish which used silicon oxide as the stopper is used. A polish technique has a trouble in precision, as mentioned above, and although described also into the above-mentioned paper, there is a polish velocity ratio between silicon and silicon oxide only about about 100 times. Therefore, there is no distribution of thickness and it can be said that it is very difficult to produce a uniform thin film by polish. Similarly a selection ratio cannot fully take about the selective etching using the high-impurity-concentration difference in not polish but a silicon substrate.

[0011]

[Problem(s) to be Solved by the Invention] As stated above, by the conventional approach, it has still come to attain the technique in which the SOI substrate which is sufficient for producing a high performance electron device can be offered with sufficient productivity. Moreover, SOI structure was formed on the transparency substrate and there were troubles, like ED is further late about what gave functionality to the substrate itself.

[0012] In order that this invention may cancel an above-mentioned trouble, (The purpose of invention) On insulating substrates, such as a transparency insulation substrate It makes it possible to produce a highly efficient nature SOI substrate by forming a silicon single crystal thin film which a substrate and a coefficient of thermal expansion are large, and is different by the lamination method. And also in case a large-scale integrated circuit is produced, expensive SOS, the alternative ***** highly efficient

semi-conductor substrate of SIMOX, and its production approach are also aimed coincidence at offering the production approach of the semiconductor device made possible.

[0013]

[Means for Solving the Problem] The production approach of the semiconductor device of this invention as The means for solving a technical problem mentioned above The process which porosity-izes the whole silicon single crystal substrate by anodization, and the process which grows a silicon single crystal thin film epitaxially on this porosity-ized 1 front face, The process which forms a component in this epitaxial layer, and the process which sticks this component forming face through the support substrate, the wax, or thermoplastics of arbitration, They are the process which etches a porosity silicon part alternatively, and the epitaxial layer in which said component was formed SiO₂ The transparency insulation substrate used as a principal component, and the process stuck with adhesives, The process which separates the epitaxial layer in which said support substrate and said component were formed is included by dissolving or softening said wax or thermoplastics.

[0014] Moreover, the process at which the production approach of the semiconductor device of this invention porosity-izes the surface of the field of one of the two of a silicon single crystal substrate by anodization, The process which grows a silicon single crystal thin film epitaxially on this porosity-ized front face, The process which forms a component in this epitaxial layer, and the process which sticks this component forming face through the support substrate, the wax, or thermoplastics of arbitration, The process which etches a porosity silicon part alternatively after polish removes said silicon single crystal substrate part, It is the epitaxial layer in which said component was formed SiO₂ The transparency insulation substrate used as a principal component, and the process stuck with adhesives, It considers as the means including the process which separates the epitaxial layer in which said support substrate and said component were formed by dissolving or softening said wax or thermoplastics.

[0015] Moreover, the production approach of the semiconductor device of this invention includes the epitaxial layer in which said component was formed, and the process which prepares the barrier layer which prevents diffusion of movable ion between said adhesives.

[0016] Moreover, the production approach of the semiconductor device of this invention performs selective etching of said porosity silicon section with fluoric acid, hydrogen peroxide solution, and the mixed etching reagent of an alcoholic system.

[0017]

[Function] This invention uses two important physical characteristics which porosity silicon has. One of them is the etching property of porosity silicon. Usually, although silicon is hardly etched by fluoric acid, etching of it is attained by porosity-izing. And if fluoric acid, hydrogen peroxide solution, and the mixed etching reagent of alcohol are used as shown in drawing 4, in nonvesicular and porosity, 5 power twice thing etching velocity ratio of about 10 will be obtained. Therefore, in a controllability, selective etching becomes good for homogeneity possible also with the thin film around 1 micrometer.

[0018] Another property is an epitaxial growth property. Porosity silicon is maintaining single crystal structure as the crystal structure, and the hole of dozens – 100A of numbers exists in high density ranging from the front face to the interior. The epitaxial layer which grows up to be this front face has the property that crystallinity equivalent to the epitaxial layer on a nonvesicular single crystal substrate is acquired. Therefore, since a single crystal thin film equivalent to the epitaxial layer on a single crystal silicon substrate reliable as a barrier layer is used, the SOI substrate which has the crystallinity which was excellent compared with the conventional SOI substrate can be offered.

[0019] According to this invention, a component is formed in the single crystal layer which grew epitaxially on porosity silicon. The single crystal layer by which component formation was carried out is made to hold to a 1 ***** substrate with a wax etc. By the approach of using as an independent thin film (membrane) the single crystal layer by which component formation was carried out by carrying out selective etching of the porosity part, pasting this up with a transparency insulation substrate using adhesives, and separating a support substrate with a wax etc. The electron device of high performance and highly efficient nature can be easily produced now on a transparency substrate.

[0020] Moreover, since control of thickness distribution is easy for an epitaxial growth phase, what also

has very uniform thickness distribution of the SOI layer which used this growth phase as it was is obtained.

[0021] Moreover, since the etching velocity ratio in porosity silicon and nonvesicular silicon is very large, compared with removal by the selective etching using the conventional selection polish or a high-impurity-concentration difference, the controllability of etching improves by leaps and bounds.

[0022] Moreover, implementation can produce now easily the very difficult silicon single crystal thin film device on a transparency insulation substrate by the difference in a coefficient of thermal expansion.

[0023] Moreover, the bad influence to the component formative layer of an epitaxial layer by the movable ion from the adhesives on which a transparency insulation substrate is pasted up can be prevented by preparing the barrier layer which prevents diffusion of movable ion between the epitaxial layers and adhesives with which the component was formed.

[0024] (Example of an embodiment) The example of an embodiment of this invention is hereafter explained with reference to a drawing.

[0025] Drawing 1 is a typical sectional view explaining the flow of the process of the production approach of the semiconductor device of this invention.

[0026] First, anodization of the single crystal silicon substrate 100 is carried out like (drawing 11), and porosity silicon 101 is formed. The whole substrate is sufficient as the field porosity-ized at this time like the single-sided surface layer of a substrate, and drawing 11 b like drawing 11 a. When porosity-izing only a single-sided surface layer, the field is good by the thickness of 10-100 micrometers.

[0027] In addition, the silicon substrate of drawing 2 is briefly explained here using the porosity-ized equipment explanatory view about the formation approach of porosity silicon.

[0028] The single crystal silicon substrate 200 of P type is first prepared as a substrate. Also with N type, although it is not impossible, it is limited to the substrate of low resistance in that case. It sets to equipment as shows a substrate 200 to drawing 21. That is, one side of a substrate is in contact with the solution 204 of a fluoric acid system, the negative electrode 206 is taken at the solution side, and the reverse side is in contact with the forward metal electrode 205.

[0029] Moreover, drawing 22 is drawing showing the equipment of other examples of a configuration, and as shown in drawing, positive electrode side 205' does not care about potential at all through solution 204', either. Anyway, porosity-ization takes place from the negative electrode side which is in contact with the fluoric acid system solution.

[0030] Generally as a fluoric acid system solution 204, dark fluoric acid (49%HF) is used. Pure water (H₂O) If it dilutes, it will be based also on the current value to pass, but since etching takes place from a certain concentration, it is not desirable.

[0031] Moreover, air bubbles are generated from the front face of a substrate 200 in anodization, and alcohol may be added as a surfactant from the purpose which removes these air bubbles efficiently. A methanol, ethanol, propanol, isopropanol, etc. are used as alcohol. Moreover, a churning machine is used instead of a surfactant, and anodization may be performed, agitating a solution.

[0032] About the negative electrode 206, an ingredient which is not eaten away to a fluoric acid solution, for example, gold, (Au), platinum (Pt), etc. are used.

[0033] although the metallic material generally used is sufficient as the quality of the material of the electrode 205 by the side of forward -- anodization -- a substrate 200 -- since the fluoric acid system solution 204 reaches a positive electrode 205 when made by all, it is good to also coat the front face of a positive electrode 205 with the metal membrane of fluoric acid-proof solution nature.

[0034] the current value which performs anodization -- maximum number 100 mA/cm² it is -- the minimum value must be zero. This value is determined as the front face of the porosity-ized silicon within limits which can do good epitaxial growth. The consistency of a porosity silicon layer becomes small at the same time the rate of anodization will increase, if a conventional current value is large. That is, the volume which a hole occupies becomes large. The conditions of epitaxial growth change by this.

[0035] Next (drawing 12), in the shown process, the nonvesicular single-crystal-silicon layer 102 is grown epitaxially on the porosity silicon substrate formed as mentioned above or a porous layer 101.

[0036] Porosity silicon is maintaining single crystal structure as the crystal structure, and the hole of

dozens - 100A of numbers exists in high density ranging from the front face to the interior. The epitaxial layer which grows up to be a front face has the property that crystallinity with high dependability equivalent to the epitaxial layer on a nonvesicular single crystal substrate is acquired, and epitaxial growth is performed by Heat CVD, general reduced pressure CVD and general plasma CVD, molecular beam epitaxy, a spatter, etc. Although what is necessary is just to make thickness which grows the same with the design value of a SOI layer, thickness 1 micrometer or less is preferably good. This is because the light stops penetrating in case of the single crystal silicon of thickness 1 micrometers or more. However, the case where parts other than a component formation field are etched after SOI substrate production, and in the case of the device which does not think light transmission nature as important, especially thickness is not restricted.

[0037] Next (drawing 13), in the shown process, a component 109 is formed in an epitaxial layer 102 in the usual device process. There is no limit in the class of component, and a gestalt in any way.

[0038] Next (drawing 14), in the shown process, heating the above-mentioned substrate to suitable temperature, a wax and thermoplastics 103 are applied to the component forming face 109, and the support substrate 111 is pasted up.

[0039] A wax is good to use what will be softened if it is solidifying at the room temperature and heats before and after 100 degrees C. Although thermoplastics is liquefied, it applies and a polymerization is carried out on a wafer, what has become sheet-like is convenient. Moreover, as for these, what is dissolved in organic solvents, such as an acetone and toluene, is desirable. For example, with a wax, in a resin ingredient besides an electron wax, a phenol system, a melamine system, a polyfluoroethylene system, etc. are mentioned as a high softening temperature ingredient, and a vinyl chloride and vinyl acetate mixed stock, a polystyrol system, etc. are mentioned as a low softening temperature ingredient. About the support substrate 111, a configuration, magnitude (thickness), an ingredient, etc. are the things of arbitration, and are not cared about. For example, if silicon (a single crystal or polycrystal is sufficient) is used for a support substrate ingredient, it is possible to use one support substrate semipermanently.

[0040] Next (drawing 15), in the shown process, it leaves the above-mentioned support substrate 111 and the component formative layer, and a porosity silicon side is etched alternatively. In this case, as a description of porosity silicon, although ***** etching of the silicon is not carried out in fluoric acid, it is usually raised by porosity-izing that etching becomes possible.

[0041] And if fluoric acid, hydrogen peroxide solution, and the mixed etching reagent of alcohol are used as shown in the graph which shows the etching velocity ratio of the porosity silicon of drawing 4 , and nonvesicular silicon, with nonvesicular and porosity silicon, 5 power twice thing etching velocity ratio of 10 will be obtained. Therefore, in a controllability, selective etching becomes good [a single crystal layer / the thin layer around 1 micrometer] for homogeneity possible.

[0042] If it dips into the fluoric acid system solution the pasted-up whole substrate when the part etched at this time is porosity over the whole, the porosity part 101 will be etched alternatively altogether. When it includes a field with the single crystal silicon substrate 100 in the part etched, it is desirable to grind and remove only the field of a silicon substrate 100. And when the porosity part 101 is exposed, polish is ended, and the rest can perform selective etching in a fluoric acid system solution. in the case of which, carry out -- since the amount of [of the single crystal which is not porosity / 102] epitaxial growing region hardly reacts with fluoric acid, it remains as a thin film.

[0043] Moreover, it is desirable to use the ingredient with which the support substrate 111 cannot react to a fluoric acid system solution easily with a natural thing. At this time, that with which the fluoric acid system solution mixed hydrogen peroxide solution (H₂ O₂) and alcohols other than fluoric acid is used. Although the selective etching of porosity silicon is possible also for fluoric acid, a nitric acid, or the mixed solution that added the acetic acid to this, since some single-crystal-silicon thin films which should be left behind in this case are also etched, it is necessary to control time amount etc. to a precision.

[0044] Next (drawing 16), in the shown process, although adhesives are used and the component formative layer and a transparency substrate are pasted up next, the movable ion from adhesives may

have a bad influence on the component formative layer in this case. Then, when the rear face of the component formative layer is exposed, it is good to deposit the barrier layers 107, such as a silicon nitride, on the rear face of the component formative layer. Although a silicon nitride is usually deposited in LPCVD, plasma CVD, etc., since it is necessary to be the temperature which a support substrate, the pasted-up wax, and thermoplastics can bear, it is desirable to deposit in 100–300 degrees C in plasma CVD. Moreover, if the film thickness of the barrier layer 107 takes light transmittance into consideration, its thinner one will be desirable. the case where the barrier layer 107 is not necessarily indispensable and there are few contents of the impurity which has a bad influence on a component -- being alike -- an abbreviation is also possible.

[0045] Next (drawing 17), it is SiO₂ using the adhesives 108 which serve as light transmission nature in the shown process when it solidifies in the 107th page of the barrier layer formed on the rear face of the exposed component forming face 109, or this field. It is made to stick with the transparence insulation substrate 110 used as a principal component. The transparence insulation substrate 110 is chosen from a fused quartz, synthetic quartz, glass, synthetic resin, etc. Adhesives 108 have desirable resin system adhesives with if possible few contents of movable ion.

[0046] After sticking, the whole substrate is heated, a wax or thermoplastics 103 is softened, and the support substrate 111 is separated. After separating the support substrate 111, when organic solvents, such as an acetone, dichloromethane, and toluene, fully wash residue, such as a wax left behind to the component forming face 109, or it cannot finish taking completely only by washing, plasma ashing etc. is performed, and the component of the SOI structure on a transparence insulation substrate is obtained.

[0047] Although the component formative layer 102 is pasted up on the transparence substrate 110 with adhesives 108 in this invention, even if it does not use adhesives, it is not impossible to paste up a substrate and the component formative layer. That is, especially even if it made it only stick, unless external force is applied, the same handling as the usual silicon substrate is possible for the rear face (side which does not form the component) of the component formative layer 102, and the interface of the transparence insulation substrate 110. This is for the hydrogen bond in the interface of a substrate 110 and a thin film 102. Hydrogen bond becomes so strong that the surface smoothness of a substrate and a thin film is so high that the adhesion of an interface is high since it is intermolecular association. Therefore, in order to raise the adhesion of a substrate and a thin film, an effective means also puts a uniform pressure by a weight etc. from on a substrate.

[0048] Moreover, since hydrogen bond is the attraction between the hydrogen atom (– H) of the interface to stick, and an oxygen atom (– O–), it can heighten bonding strength considerably by performing surface treatment so that it may be easy to perform hydrogen bond and it may become by the final process of washing before sticking the component formative layer 102 and the transparence insulation substrate 110. However, since hydrogen bond is not so strong association, if stress is applied, the component formative layer will exfoliate immediately. Then, heat-treating what is stuck by hydrogen bond, and strengthening bonding strength is also considered.

[0049] The more the temperature of heat treatment is generally high, the more the bonding strength of an interface becomes strong. When this becomes about 200 degrees C or more, it is for forming silanol association (Si–O–Si) which both the atoms of hydrogen and oxygen that were carrying out hydrogen bond dehydrated in the form of H₂O, and condensed after it. However, at the process of this invention, since a component will be formed first, performing heat treatment of 400 degrees C or more finally causes destruction of a component, and it becomes difficult. Therefore, heat treatment till around 300 degrees C will be allowed. Since it is extent which gained in bonding strength a little from hydrogen bond in case of heat treatment of about 300 degrees C, when not using adhesives too, it is restricted to operation which does not require external force.

[0050]

[Example 1] (Example 1) Next drawing 1 and drawing 2 are used, and the detail of the 1st concrete example of this invention is explained in order of the process of drawing.

[0051] In the process shown in (drawing 11), the 4 inch P type (100) single crystal silicon substrate (0.1–0.2-ohmcm) 100 with the thickness of 200 microns was prepared, it set in equipment as shows this

to drawing 21, anodization was performed, and porosity silicon 101 like drawing 11 b was obtained. the solution 204 at this time -- 49%HF solution -- using -- current density -- 100 mA/cm² it was. And the porosity-ized rate at this time is 8.4micrometer/min., and, as for the P type (100) silicon substrate with the thickness of 200 micrometers, the whole was porosity-ized in 24 minutes.

[0052] Next (drawing 12), in the shown process, 0.5 micrometers grew the single-crystal-silicon layer 102 epitaxially with the CVD method on the P type (100) porosity silicon substrate 101. The deposition conditions are as follows.

[0053]

used gas: -- SiH₄ / H₂ quantity-of-gas-flow: -- 0.62/140 (1-/min)

** whenever: -- 750-degree-C ** force: -- 80Torr growth rate: -- 0.12 micrometer/min

Next (drawing 13), in the shown process, with the switching transistor for liquid crystal displays, the usual semi-conductor process was used and the circuit for a drive of a pixel was formed around it at the epitaxial layer.

[0054] Next (drawing 14), in the shown process, heating the substrate with which the component was formed on a hot plate, the electron wax 103 is applied on the component forming face 109, and the 4 inches silicon support substrate 111 was stuck on the component forming face 109.

[0055] Next (drawing 15), in the shown process, the above-mentioned lamination substrate was dipped into the selective etching solution, and only the porosity part 101 was etched alternatively. An etch rate [as opposed to the presentation of an etching solution and porosity silicon this time] is HF:H₂O₂ : C₂H₅OH=5:25:61.6 micrometer/min

It came out. Therefore, the 200-micrometer porosity part was altogether etched in about 125 minutes. Incidentally, the etch rates of the single-crystal-silicon layer 102 at this time are 0.0006 micrometer/hour, and remained, without hardly being etched.

[0056] Next (drawing 17), in the shown process, a hydrochloric acid / hydrogen peroxide solution / water (1:1:5) mixed solution washed the sample obtained according to the above-mentioned process for 10 minutes, and after carrying out the rinse and making it dry with pure water further, the 4 inches glass substrate (thickness of 400 micrometers) 110 which performed equivalent washing, and the single-crystal-silicon layer 102 were pasted up using the polyimide system resin adhesives 108. The pasted-up substrate was heated at about 150 degrees C on the hot plate, and the support substrate 111 was removed in the place which the wax 103 softened.

[0057] And in order to remove completely the wax which remains on the front face of the component forming face 109, the above-mentioned substrate was washed with toluene and the SOI substrate with which the component was formed in the single-crystal-silicon thin film on a transparency insulation substrate was obtained.

[0058] Furthermore, packaging of the liquid crystal was enclosed and carried out on the done circuit, and the liquid crystal display of a light transmission mold was produced.

[0059] (Example 2) Drawing 3 is the typical sectional view showing the flow of the process of the method of producing the semiconductor device by the 2nd example of this invention. The detail of the 2nd concrete example of this invention is explained in order of the process of drawing using drawing 3.

[0060] In the process shown in (drawing 31), the P type (100) silicon substrate 300 with the thickness of 300 micrometers of resistivity 0.01 ohm-cm was prepared, and the porous layer 301 was formed in the front face like the 1st example at the thickness of 30 micrometers.

[0061] Next (drawing 32), in the shown process, the epitaxial layer 302 was formed in the front face by the side of the porosity of the obtained substrate like the 1st example at the thickness of 0.5 micrometers.

[0062] Next (drawing 33), in the shown process, the component same next and electronic circuitry same next as the 1st example were formed in the epitaxial layer 302.

[0063] Next (drawing 34), in the shown process, heating the substrate with which the component was formed on a hot plate, the electron wax 303 is applied on the component forming face 309, and the 4 inches silicon support substrate 311 was stuck on the component forming face 309.

[0064] Next (drawing 35), in the shown process, about 280 micrometers of the single crystal substrate

300 sides were ground by the mechanical grinding method, and the porosity field 301 was exposed. Then, this substrate was dipped in the same fluoric acid system etching reagent as the 1st example, and only the porosity field 301 was etched alternatively.

[0065] Next (drawing 36), in the shown process, the rest produced the liquid crystal display on the transparency substrate completely like the 1st example.

[0066] (Example 3) The detail of the 3rd concrete example of this invention is again explained in order of the process of drawing using drawing 1 .

[0067] Drawing 11 to 1-3 considered as the same process as the 1st example.

[0068] Next (drawing 14), in the shown process, heating the substrate with which the component was formed on a hot plate, sheet-like phenol system resin 103 is stuck on the component forming face 109, and the 4 more inches silicon support substrate 111 was stuck.

[0069] Next (drawing 15), in the shown process, the above-mentioned lamination substrate was dipped into the selective etching solution, and only the porosity part 101 was etched alternatively.

[0070] Next (drawing 16), in the shown process, 0.05 micrometers of silicon nitrides 107 were deposited on the rear face of the component forming face 109 exposed by having etched porosity silicon 101 by plasma CVD. Deposition temperature was performed at 220 degrees C.

[0071] Next (drawing 17), in the shown process, the 4 inches fused-quartz substrate 110 and the 107th page of a silicon nitride were pasted up for the sample obtained according to the above-mentioned process using the polyimide resin system adhesives 108. The support substrate 111 was removed from the component forming face 109, heating the pasted-up substrate at 350 degrees C.

[0072] And the phenol system resin 103 which remained in the component forming face 109 was washed in dichloromethane, ashing of the phenol resin which remained further was carried out with the oxygen plasma, and that by which the component was formed in the single-crystal-silicon thin film on a transparency insulation substrate was obtained.

[0073] Furthermore, packaging of the liquid crystal was enclosed and carried out on the done circuit, and the liquid crystal display of a light transmission substrate mold was produced.

[0074] Moreover, in each example mentioned above, although the light transmission nature insulating substrate was used, not restricting to the substrate of light transmission nature is clear.

[0075]

[Effect of the Invention] A component is formed in the single crystal layer which grew epitaxially on porosity silicon as explained in full detail above. The single crystal layer by which component formation was carried out is made to hold to a 1 ***** substrate with a wax etc. By the approach of using as an independent thin film (membrane) the single crystal layer by which component formation was carried out by carrying out selective etching of the porosity part, pasting this up with a transparency insulation substrate using adhesives, and separating a support substrate with a wax etc. The electron device of high performance and highly efficient nature can be easily produced now on a transparency substrate.

[0076] The main effectiveness of this invention Since control of thickness distribution is easy for an epitaxial growth phase, Since the etching velocity ratio in that thickness distribution is also very uniform, and the porosity silicon and nonvesicular silicon of the SOI layer which used this growth phase as it was is very large, Compared with the selective etching of the conventional selection polish, the controllability of etching improved by leaps and bounds, therefore productivity improved, And it is that implementation enabled it to produce easily the very difficult silicon single crystal thin film device on a transparency insulation substrate by the big difference in a coefficient of thermal expansion from the former.

[0077] Moreover, since the SOI substrate obtained by this approach was light transmission nature, it can be possible to design the functional device using this property, and expensive SOS and the alternative ***** substrate of SIMOX could be offered also to the purpose which produces the large-scale integrated circuit of SOI structure.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a typical sectional view for explaining the process of the production approach of the semiconductor device by the 1st and 3rd example of this invention.

[Drawing 2] It is an equipment explanatory view at the time of carrying out porosity of the silicon substrate.

[Drawing 3] It is a typical sectional view for explaining the process of the production approach of the semiconductor device by the 2nd example of this invention.

[Drawing 4] It is drawing showing the etching velocity ratio of porosity silicon and nonvesicular silicon.

[Description of Notations]

100,200,300 Single crystal silicon substrate

101,301 The porosity-ized silicon substrate or porous layer

102,302 Epitaxial growth phase

103,303 A wax or thermoplastics

107 Barrier Layer

108,308 Adhesives

109,309 A component or component forming face

110,310 Transparency insulation substrate

111,311 Support substrate

204,204' Etching reagent

205,205' Positive electrode

206,206' Negative electrode

[Translation done.]